

Master en sciences de l'ingénieur industriel - électronique

HELHa Campus Mons 159 Chaussée de Binche 7000 MONS
Tél : +32 (0) 65 40 41 46 Fax : +32 (0) 65 40 41 56 Mail : tech.mons@helha.be

1. Identification de l'Unité d'Enseignement

UE ML502 Compléments d'électronique			
Ancien Code	TENE2M02	Caractère	Obligatoire
Nouveau Code	XIEM2020		
Bloc	2M	Quadrimestre(s)	Q1
Crédits ECTS	3 C	Volume horaire	36 h
Coordonnées des responsables et des intervenants dans l'UE	Laurent JOJCZYK (laurent.jojczyk@helha.be) Arnaud WITHOECK (arnaud.withoeck@helha.be)		
Coefficient de pondération	30		
Cycle et niveau du Cadre Francophone de Certification	master / niveau 7 du CFC		
Langue d'enseignement et d'évaluation	Français		

2. Présentation

Introduction

Cette unité d'enseignement fait partie de la formation de master en sciences de l'ingénieur Industriel, finalité « Electronique ». Elle a pour but de donner une formation complémentaire en conception analogique et en VHDL. Celle-ci s'appuie sur les compétences acquises dans les cours d'électronique analogiques et numériques de master 1.

Contribution au profil d'enseignement (cf. référentiel de compétences)

Cette Unité d'Enseignement contribue au développement des compétences et capacités suivantes :

Compétence 1 **Identifier, conceptualiser et résoudre des problèmes complexes**

- 1.1 Intégrer les savoirs scientifiques et technologiques afin de faire face à la diversité et à la complexité des problèmes rencontrés
- 1.3 Concevoir, développer et améliorer des produits, processus et systèmes techniques

Compétence 2 **Concevoir et gérer des projets de recherche appliquée**

- 2.1 Réunir les informations nécessaires au développement de projets de recherche
- 2.3 Mener des études expérimentales, en évaluer les résultats et en tirer des conclusions
- 2.4 Valider les performances et certifier les résultats en fonction des objectifs attendus

Compétence 3 **Concevoir et réaliser un système électronique**

- 3.1 Exprimer les besoins du client en termes de spécifications électroniques
- 3.2 Concevoir et simuler une architecture basée sur la sélection des technologies appropriées (plateforme, normes, composants, modèles, dimensionnement, langage...)
- 3.3 Réaliser et programmer un prototype du système électronique
- 3.4 Elaborer, valider des scénarios de test, les effectuer afin d'amener le prototype dans les spécifications, les analyser et les critiquer pour caractériser le système final

Compétence 4 **Intégrer un système électronique dans un projet global multidisciplinaire**

- 4.4 Participer à l'insertion du ou des éléments électroniques dans le projet global en s'assurant que ceux-ci remplissent correctement leurs rôles

Compétence 6 **Entreprendre et innover, dans le cadre de projets personnels ou par l'initiative et l'implication au sein de l'entreprise**

- 6.1 Prendre en compte les missions, visions stratégiques et enjeux de son cadre professionnel
- 6.2 Traduire des stratégies en actions concrètes en s'ajustant à la vision de l'entreprise

Acquis d'apprentissage visés

Les acquis sont décrits dans les fiches auxiliaires des activités d'apprentissage

Liens avec d'autres UE

Prérequis pour cette UE : aucun

Corequis pour cette UE : aucun

3. Description des activités d'apprentissage

Cette unité d'enseignement comprend l(es) activité(s) d'apprentissage suivante(s) :

TENE2M02A	VHDL avancé	24 h / 2 C
TENE2M02B	Conception analogique avancée	12 h / 1 C

Les descriptions détaillées des différentes activités d'apprentissage sont reprises dans les fiches descriptives jointes.

4. Modalités d'évaluation

Les 30 points attribués dans cette UE sont répartis entre les différentes activités de la manière suivante :

TENE2M02A	VHDL avancé	20
TENE2M02B	Conception analogique avancée	10

Les formes d'évaluation et les dispositions complémentaires particulières des différentes activités d'apprentissage sont reprises dans les fiches descriptives jointes.

Dispositions complémentaires relatives à l'UE

La note globale de l'UE est calculée suivant une moyenne géométrique pondérée par le poids de chaque AA dont voici la formule: $(AA_{VHDL}^2 * AA_{Analogique})^{1/3}$

Lorsqu'une UE comporte au moins deux activités d'apprentissage et que le nombre de points cumulés en échecs dans les AA de cette UE est supérieur à 3, alors la note de l'UE sera la note de l'AA la plus basse.

Si un étudiant intègre l'UE après le 1er octobre, les projets doivent être réalisés individuellement et défendus lors de la session de janvier.

En cas de confinement sanitaire, une évaluation équivalente sera organisée.

5. Cohérence pédagogique

Néant

Référence au RGE

En cas de force majeure, une modification éventuelle en cours d'année peut être faite en accord avec le Directeur de département, et notifiée par écrit aux étudiants. (article 66 du règlement général des études 2024-2025).

Master en sciences de l'ingénieur industriel - électronique

HELHa Campus Mons 159 Chaussée de Binche 7000 MONS

Tél : +32 (0) 65 40 41 46

Fax : +32 (0) 65 40 41 56

Mail : tech.mons@helha.be

1. Identification de l'activité d'apprentissage

VHDL avancé			
Ancien Code	9_TENE2M02A	Caractère	Obligatoire
Nouveau Code	MIEM2021		
Bloc	2M	Quadrimestre(s)	Q1
Crédits ECTS	2 C	Volume horaire	24 h
Coordonnées du Titulaire de l'activité et des intervenants	Arnaud WITHOECK (arnaud.withoeck@helha.be)		
Coefficient de pondération	20		
Langue d'enseignement et d'évaluation	Français		

2. Présentation

Introduction

Ce cours vise à approfondir les connaissances des étudiants en VHDL et en conception de circuits digitaux. Il s'appuie sur les compétences acquises en électronique numérique et propose des travaux pratiques sur la synthèse et la simulation de circuits numériques à l'aide de FPGA. Les étudiants apprendront à utiliser des outils tels que Quartus et QuestaSim pour concevoir et tester des systèmes complexes. En plus des travaux individuels, un projet de groupe permettra de mettre en pratique les concepts étudiés tout en développant un design complet sur carte FPGA. L'objectif est de maîtriser le design RTL ainsi que les techniques d'inférence et d'instanciation de modules dans le contexte industriel.

Objectifs / Acquis d'apprentissage

Sur base de travaux pratiques et d'un projet de groupe, on vérifiera que les étudiants sont capables :

- de concevoir un système numérique en utilisant le langage VHDL et d'exploiter les ressources d'un FPGA (logic elements, DSP, PLL, etc.) ;
- d'implémenter des circuits combinatoires et séquentiels, ainsi que des modules complexes (FSM, ALU, etc.) dans un design RTL ;
- de valider leur design à travers des simulations avec les outils Quartus et QuestaSim, en respectant les contraintes de timing et d'optimisation ;
- de présenter un projet final fonctionnel, incluant la documentation technique et la démonstration sur carte FPGA.

3. Description des activités d'apprentissage

Contenu

Contenu

En fonction du projets proposés chaque année :

- Analyse et conception de systèmes numériques avec VHDL sur FPGA, incluant des modules comme FSM, ALU, et des périphériques spécifiques (UART, VGA, PS/2, etc.) ;
- Approfondissement des techniques de synthèse et de simulation numérique pour la validation de circuits combinatoires et séquentiels ;
- Utilisation des outils professionnels tels que Quartus et QuestaSim pour la conception, la simulation, et l'optimisation des designs ;
- Intégration et exploitation des ressources FPGA, comme les DSP blocks et PLL.

Démarches d'apprentissage

Le cours alterne entre enseignement théorique et travaux pratiques, avec une évolution progressive vers des activités plus pratiques à mesure que le semestre avance.

- Les premières séances sont principalement axées sur la théorie, avec des cours magistraux portant sur les concepts fondamentaux du VHDL et de la conception de circuits numériques. Ces séances incluent également des exemples pratiques pour illustrer les notions abordées.
- À partir de la moitié du cours, plus de temps est consacré aux travaux pratiques, où les étudiants appliquent les concepts étudiés à des exercices et commencent à travailler sur leur projet en groupe.
- Les dernières séances sont essentiellement dédiées au développement, à la simulation et à la validation des projets, avec un suivi rapproché de l'enseignant pour accompagner les étudiants dans la finalisation de leur travail.

Dispositifs d'aide à la réussite

L'enseignant est disponible pour répondre aux questions lors des séances d'encadrement et via rendez-vous. Des forums de discussion en ligne sont également disponibles pour poser des questions en dehors des cours.

Sources et références

Ricardo Jasinski , Effective Coding with VHDL: Principles and Best Practice (The MIT Press), 2016

David Harris & Sarah Harris, Digital Design and Computer Architecture 2nd Edition (Morgan Kaufman), 2013

Supports en ligne

Les supports en ligne et indispensables pour acquérir les compétences requises sont :

Dias présentées aux cours et laboratoires disponibles sur le connected du cours.

4. Modalités d'évaluation

Principe

L'évaluation repose sur plusieurs composantes pour assurer une évaluation continue et complète des acquis :

- **Évaluations rapides** : En début de cours, un QCM pourra être réalisé pour vérifier les connaissances acquises sur le contenu des séances précédentes. Ces évaluations courtes permettent aux étudiants de suivre leur progression et de renforcer leur compréhension.
- **Projet final** : La partie principale de l'évaluation consiste en la réalisation d'un projet de conception en VHDL, incluant une démonstration sur carte FPGA. Ce projet sera présenté et défendu en fin de semestre. Si l'activité d'apprentissage n'est pas validée, les étudiants devront retravailler et améliorer leur projet pour la seconde session.
- Lors de l'examen, les critères suivants seront évalués :
 - > Le respect des consignes du projet
 - > La qualité du code, du rapport, des slides, de la présentation orale et de la démonstration technique
 - > Les connaissances techniques acquises durant le cours et les travaux pratiques, à travers des questions supplémentaires suivant la présentation du projet.

Sauf circonstances exceptionnelles (maladie, accident), l'étudiant qui ne se sera pas suffisamment impliqué dans le travail de groupe ne pourra pas être évalué et obtiendra la note zéro. L'indicateur d'implication sera la présence aux séances prévues dans l'horaire. 75% minimum de présence est le seuil à respecter. Si l'évaluation orale en mode présentiel n'est pas possible, l'évaluation sera faite en mode distanciel via l'application Teams. L'étudiant est tenu d'avoir à disposition les équipements nécessaires : pc avec micro et webcam fonctionnels et une connexion internet satisfaisante.

Pondérations

	Q1		Q2		Q3	
	Modalités	%	Modalités	%	Modalités	%
production journalière	Int	20			Int	20

Période d'évaluation	Prj	80			Prj	80
----------------------	-----	----	--	--	-----	----

Int = Interrogation(s), Prj = Projet(s)

La pondération de cette activité d'apprentissage au sein de l'UE dont elle fait partie vaut 20

Dispositions complémentaires

Voir Fiche de l'UE.

Référence au RGE

En cas de force majeure, une modification éventuelle en cours d'année peut être faite en accord avec le Directeur de département, et notifiée par écrit aux étudiants. (article 66 du règlement général des études 2024-2025).

Master en sciences de l'ingénieur industriel - électronique

HELHa Campus Mons 159 Chaussée de Binche 7000 MONS

Tél : +32 (0) 65 40 41 46

Fax : +32 (0) 65 40 41 56

Mail : tech.mons@helha.be

1. Identification de l'activité d'apprentissage

Conception analogique avancée			
Ancien Code	9_TENE2M02B	Caractère	Obligatoire
Nouveau Code	MIEM2022		
Bloc	2M	Quadrimestre(s)	Q1
Crédits ECTS	1 C	Volume horaire	12 h
Coordonnées du Titulaire de l'activité et des intervenants	Laurent JOJCZYK (laurent.jojczyk@helha.be)		
Coefficient de pondération	10		
Langue d'enseignement et d'évaluation	Français		

2. Présentation

Introduction

Cette activité d'apprentissage a pour but de donner une formation complémentaire en conception analogique, Celle-ci s'appuie sur les compétences acquises dans les cours d'électronique analogiques et numériques de master 1.

Objectifs / Acquis d'apprentissage

Sur base d'un travail écrit accompagné d'une réalisation pratique (simulation ou breadboard) on vérifiera que les étudiants sont capables :

- de concevoir un circuit analogique élaboré (convertisseur DC/DC, préamplificateur, amplificateur, circuits de conditionnement de capteur/actionneur, ...), un circuit avec un asservissement continu, ... ;
- De valider son fonctionnement avec un ou plusieurs simulateurs : Spice, Matlab, Simulink, Scilab, Xcos.

3. Description des activités d'apprentissage

Contenu

En fonction du ou des projets proposés chaque année:

- Analyse de différentes topologies de convertisseurs DC-DC (autres que celles analysées en master 1);
- Approfondissement et/ou nouvelle méthodes de correction : "current mode", retour d'état (dans l'espace d'état);
- Méthodes de conditionnement de capteurs ou d'actionneurs.
- Circuits spécifiques au traitement analogique du signal audio (génération, préamplification, traitement, amplification)
- Méthodes spécifiques de simulation (spice, matlab, simulink, simulation acausale avec Xcos);

Démarches d'apprentissage

La première séance consiste à donner les consignes du ou des projets.

Les autres séances sont consacrées à un travail de recherche et de conception (travail collaboratif en équipe et travail individuel).

Si le mode distanciel est privilégié, des réunions en équipe sont organisées via l'application Teams et le travail se fait à domicile.

Dispositifs d'aide à la réussite

L'enseignant est disponible et répond aux questions sur rendez-vous.

Sources et références

Ouvrages spécifiques disponibles dans la bibliothèque de la haute Ecole ou via une recherche sur internet et dans d'autres bibliothèques techniques.

Supports en ligne

Les supports en ligne et indispensables pour acquérir les compétences requises sont :

Slides, documents et vidéos disponibles sur la plateforme Moodle.

Logiciel de simulation spice, Matlab et Simulink.

4. Modalités d'évaluation

Principe

1ère session : Travail écrit (50%) avec défense orale(50%).

Sauf circonstances exceptionnelles (maladie, accident), l'étudiant qui ne se sera pas suffisamment impliqué dans le travail de groupe ne pourra pas être évalué et obtiendra la note zéro. L'indicateur d'implication sera la présence aux séances prévues dans l'horaire. 75% minimum de présence est le seuil à respecter.

Si l'évaluation orale en mode présentiel n'est pas possible, l'évaluation sera faite en mode distanciel via l'application Teams.

L'étudiant est tenu d'avoir à disposition les équipements nécessaires : pc avec micro et webcam fonctionnels et une connexion internet satisfaisante.

Pondérations

	Q1		Q2		Q3	
	Modalités	%	Modalités	%	Modalités	%
production journalière	Rap	50			Rap	50
Période d'évaluation	Exo	50			Exo	50

Rap = Rapport(s), Exo = Examen oral

La pondération de cette activité d'apprentissage au sein de l'UE dont elle fait partie vaut 10

Dispositions complémentaires

Si l'étudiant fait une note de présence lors de l'évaluation la note "PR" lui sera attribuée, en cas d'absence injustifiée, la note "PP" lui sera alors attribuée.

En cas d'absence justifiée par certificat médical, la note "CM" est attribuée. A la demande écrite faite par l'étudiant, un arrangement pourrait alors être trouvé avec le professeur afin que l'étudiant puisse être évalué pendant la même session d'examen. Cette possibilité n'est néanmoins pas garantie. Dans le cas où un arrangement est trouvé, l'évaluation consistera en un examen oral, dans le cas contraire, l'examen est automatiquement reconduit dans une autre session d'examens.

D'autres modalités d'évaluation peuvent être prévues en fonction du parcours académique de l'étudiant. Celles-ci seront alors consignées dans un contrat didactique spécifique proposé par le responsable de l'UE, validé par la direction ou son délégué et signé par l'étudiant pour accord.

Référence au RGE

En cas de force majeure, une modification éventuelle en cours d'année peut être faite en accord avec le Directeur de département, et notifiée par écrit aux étudiants. (article 66 du règlement général des études 2024-2025).